

541,819

Rec'd PCT/PTO

11 JUL 2005

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
29. Juli 2004 (29.07.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/064123 A2(51) Internationale Patentklassifikation⁷: H01L 21/00

(74) Anwalt: GAGEL, Roland; Landsberger Str. 480a, 81241 München (DE).

(21) Internationales Aktenzeichen: PCT/DE2003/004286

(22) Internationales Anmeldedatum:
23. Dezember 2003 (23.12.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 00 577.3 10. Januar 2003 (10.01.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E.V. [DE/DE]; Hansastr. 27c, 80686 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): KOHLMANN-VON PLATEN, Klaus [DE/DE]; Geschwister-Scholl-Allee 245, 25524 Itzehoe (DE). BERNT, Helmut [DE/DE]; Oppelner Str. 40, 10987 Berlin (DE). FRIEDRICH, Detlef [DE/DE]; Amselweg 11, 25524 Itzehoe (DE).

(81) Bestimmungsstaaten (national): AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) Bestimmungsstaaten (regional): ARIPO Patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: METHOD FOR THE PRODUCTION OF A SEMICONDUCTOR COMPONENT

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES HALBLEITERBAUELEMENTS

(57) Abstract: Disclosed is a method for the production of a semiconductor element comprising at least one first vertical power component (5, 9) and at least one lateral, active component (6) and/or at least one second vertical power component (10), between which at least one trench (2) filled with at least one type of insulation (4) is disposed. The invention also relates to a semiconductor component produced according to said method. The semiconductor component is essentially characterized by an eccentric or concentric arrangement of the respective functional elements (5, 6, 9, 10) which are respectively separated from each other by trench insulation. In order to produce one such semiconductor element, at least one trench is etched into the front side of a silicon substrate (1). Said trench fully encompasses at least one partial surface of the front side and is subsequently filled with insulation (4). In a further stage of said method, the silicon substrate (1) is extensively thinned from the rear side to the insulation (4), i.e. up to the lower side of the insulation. The power components (5, 9, 10) are contacted from the rear side.

(57) Zusammenfassung: Beschrieben wird ein Verfahren zur Herstellung eines Halbleiterbauelements, das wenigstens ein erstes vertikales Leistungselement (5, 9) sowie wenigstens ein laterales, aktives Bauelement (6) und/oder zumindest ein zweites vertikales Leistungselement (10) aufweist, zwischen denen wenigstens ein mit einer Isolierung (4) gefüllter Graben (2) angeordnet ist, sowie ein mit dem Verfahren hergestelltes Halbleiterbauelement. Das Halbleiterbauelement zeichnet sich im Wesentlichen durch eine ex- oder konzentrische Anordnung der jeweiligen Funktionselemente (5, 6, 9, 10), die jeweils durch eine Trenchisolierung voneinander getrennt sind, aus. Zur Herstellung eines solchen Halbleiterbauelementes wird in die Vorderseite eines Silizium Substrates (1) zumindest ein Graben (2) geätzt, der wenigstens eine Teilfläche der Vorderseite vollumfänglich umschließt und der anschließend mit einer Isolierung (4) aufgefüllt wird. Im weiteren Verlauf des Verfahrens wird das Silizium-Substrat (1) von der Rückseite her bis an die Isolierung (4), also bis an die Unterseite der Isolierung, ganzflächig gedünnt. Die Kontaktierung der Leistungselemente (5, 9, 10) erfolgt von der Rückseite her.

WO 2004/064123 A2

Verfahren zur Herstellung eines Halbleiterbauelements

5 **Technisches Gebiet**

Die Erfindung betrifft ein Verfahren zur Herstellung eines Halbleiterbauelements, das über ein erstes vertikales Leistungsbauelement sowie wenigstens ein laterales, aktives Bauelement und/oder zumindest
10 ein zweites vertikales Bauelement verfügt sowie ein mit dem Verfahren herstellbares Halbleiterbauelement.

Stand der Technik

Bei der monolithischen Integration handelt es sich
15 um ein Herstellungsverfahren für Mikrochips, bei dem die verschiedenen Bauelemente nicht einzeln justiert und aufgeklebt werden müssen, sondern der ganze Chip aus einem Stück gefertigt wird. Neben dem geringeren Justieraufwand sind solche Systeme außerordentlich
20 robust.

Für die monolithische Integration sind Leistungsbauelemente, insbesondere Bipolar- und MOS-Stufen zur Verarbeitung größerer Ströme ($I > 1$ Ampere) bei Verlustleistungen von $P_V > 5$ Watt seit langem verfü-
25 bar. Diese Bauelemente erreichen heutzutage Leistungen bis 1 kW bzw. Ströme bis zu 50 A.

Zunehmend wurden in solche Konzepte Treiber-schaltungen zum Ansteuern der Leistungsstufen sowie
30 Schutzschaltungen zur Absicherung gegen thermische und elektrische Überlastung einbezogen. Schließlich wurde sogar dazu übergegangen, auch die Informationsverarbeitung mit in das Integrationskonzept einzufügen.

- 2 -

Derartige integrierte Schaltungen, die außer einem Leistungsteil einen informationsverarbeitenden Schaltungsteil auf einem Chip enthalten, werden als so genannte Smart-Power-Schaltungen bezeichnet.

5

Aus der Verwendung dieser Smart-Power-Schaltungen ergeben sich sowohl Prozess- als auch Bauelemente-spezifische Vor- und Nachteile. Vorteilhaft ist es in jedem Fall, den Bipolar-, CMOS- wie auch PMOS-Prozess, insbesondere für MOS-Leistungsstufen mit vertikalem Stromfluss, auf dem Chip verfügbar zu haben. Derartige Bipolar-, CMOS-, PMOS- oder auch BCD-Konzepte werden immer weiter entwickelt.

15

Die monolithische Integration der vorgenannten Leistungsbauelemente wird in Abhängigkeit der jeweiligen Spannungs-klasse auf unterschiedliche Weise realisiert. Für Spannungen bis einige 100 V kommen so genannte Smart-Power-Prozesse, wie etwa BCDMOS zum Einsatz. Die laterale Trennung der unterschiedlichen Bereiche erfolgt hierbei entweder durch Dotierungsgebiete oder durch dielektrische Isolation.

25

Bei vertikalen Leistungshalbleitern wird üblicherweise eine Isolation des Leistungsbauelementes gegenüber der Steuerschaltung durch einen pn-Übergang bewirkt. Problematisch an einem solchen pn-Übergang ist allerdings, dass zwischen den Source-Drain-Zonen des n-Kanal-Transistors und den Source-Drain-Zonen des p-Kanal-Transistors eine Thyristorstruktur existiert, die Zünden kann und damit die Funktionsfähigkeit des Inverters herabsetzt bzw. zur Zerstörung des Bauelementes führt. Dieser unerwünschte Effekt wird als

30

„latch-up-Effekt“ bezeichnet. Je höher der angestrebte Integrationsgrad ist, umso enger versucht man p-Kanal- und n-Kanalstruktur anzuordnen und umso wirksamer wird dieser störende Effekt.

5

Aus diesem Grund sind verschiedene Prozesse entwickelt worden, die auf einer dielektrischen Isolation der verschiedenen Schaltungsteile voneinander beruhen. So kann bspw. an Stelle des pn-Übergangs das
10 entsprechende Leistungsbauelement auch mit Hilfe einer dielektrischen Isolation gegenüber der Steuerschaltung isoliert werden. Nachteilig an dieser Art der Isolierung ist wiederum, dass diese Ansätze zur monolithischen Integration von Leistungsbaulementen
15 zurzeit noch auf der extrem teuren Silicon-On-Insulator Technologie(SOI) beruhen. Zur Isolation der verschiedenen Bauelemente werden Trenches bis zu der vergrabenen Oxidschicht geätzt, die mit Oxid oder Oxid und Polysilizium aufgefüllt werden.

20

Ein grundsätzlicher Nachteil der SOI-Technologie besteht darin, dass eine unerwünschte Steuerwirkung des Substrates nicht zu vermeiden ist. Das Substrat wirkt über den vergrabenen Isolator wie eine zweite Gate-
25 Elektrode auf Transistoren, die in eine Schicht integriert ist. Dies kann beim Auftreten von Potenzialdifferenzen zwischen dem Substrat und der entsprechenden Schicht zu Schwellen-spannungsverschiebungen und zu Änderungen des Schaltzustandes der Transistoren führen.

30

In diesem Zusammenhang wird in der DE 42 01 910 A1 eine weitere Entwicklung dargestellt. Diese Druckschrift beschreibt ein Verfahren zur Herstellung einer

integrierten Schaltung mit wenigstens zwei vertikalen Leistungsbauelementen, bei dem Einflüsse von Schaltungsvorgängen eines vertikalen Leistungsbauelementes auf eine Steuerschaltung bzw. auf ein
5 zweites vertikales Leistungsbauelement weitgehend vermieden werden sollen. Das in dieser Druckschrift beschriebene Halbleiterbauelement zeichnet sich im Wesentlichen dadurch aus, dass die Steuerschaltung oberhalb einer rückseitigen Ätzausnehmung liegt und
10 gegenüber der Ätzausnehmung durch eine Ätzstoppschicht abgegrenzt ist. Die Steuerschaltung ist ferner in lateraler Richtung gegenüber den Leistungsbauelementen durch eine LOCOS-Isolation isoliert. Nachteilig an dem in dieser Druckschrift beschriebenen Leistungs-
15 bauelement ist allerdings, dass bei dessen Herstellung zum einen sehr viel Siliziumfläche für die lateralen Isolationsgebiete benötigt wird und zum anderen, das Halbleiterbauelement auf Grund dieser Art der Isolation nicht für höhere Spannungsklassen geeignet ist.

20

Ausgehend von dem bekannten Stand der Technik liegt der Erfindung die Aufgabe zu Grunde, ein Halbleiterbauelement sowie ein Verfahren zu dessen Herstellung anzugeben, die eine kostengünstige
25 Integration eines vertikalen Leistungsbauelementes und eines lateralen, aktiven Bauelements und/oder weiterer vertikaler Leistungsbauelemente ermöglichen. Insbesondere soll es mit Hilfe eines Bauelementes, das die vorgenannte Aufgabe löst, möglich sein, auch
30 Leistungsbauelemente höherer Spannungsklassen auf dem Halbleiterbauelement zu integrieren.

- 5 -

Die Aufgabe wird mit dem Verfahren gemäß Anspruch 1 und dem Halbleiterbauelement nach Anspruch 10 gelöst. Vorteilhafte Weiterbildungen des Erfindungsgedankens sind Gegenstand der Unteransprüche sowie aus dem
5 nachfolgenden Beschreibungstext unter Bezugnahme auf die Ausführungsbeispiele zu entnehmen.

Erfindungsgemäß ist ein Verfahren zur Herstellung eines Halbleiterbauelements, das über ein erstes
10 vertikales Leistungsbauelement sowie wenigstens ein laterales, aktives Bauelement und/oder zumindest ein zweites vertikales Leistungsbauelement verfügt mit den Schritten:

- Bereitstellen eines eine Vorder- und eine Rückseite
15 aufweisenden Silizium-Substrates,
- Ätzen wenigstens eines Grabens, der zumindest eine Teilfläche der Vorderseite vollumfänglich umschließt, in das Silizium-Substrat,
- Auffüllen des wenigstens einen Grabens mit einer
20 Isolierung, die zumindest ein Dielektrikum enthält oder ein Dielektrikum ist,
- Durchführen von Prozessschritten auf der Vorderseite des Silizium-Substrates zum Herstellen eines ersten vertikalen Leistungsbauelementes sowie wenigstens eines
25 lateralen, aktiven Bauelements und/oder zumindest eines zweiten vertikalen Leistungsbauelements, so dass sowohl das erste Leistungsbauelement als auch das wenigstens eine laterale, aktive Bauelement und/oder zumindest ein
30 zweites vertikales Leistungsbauelement kon- oder exzentrisch um einen gemeinsamen Bezugspunkt und jeweils durch den wenigstens einen Graben voneinander getrennt auf dem Substrat angeordnet werden,

- 6 -

- ganzflächiges Dünnen des Silizium-Substrates von der Rückseite her bis an die Isolierung sowie
- Kontaktieren der Leistungsbaulemente von der Rückseite her.

5

Das erfindungsgemäße Verfahren ermöglicht es somit, mehrere vertikale Leistungsbaulemente sowie laterale, aktive Baulemente auf einem Halbleiterbaulement zu integrieren. Die elektrische Isolation der verschiedenen Baulemente wird dadurch erreicht,
10 dass zunächst Gräben in den Silizium-Wafer geätzt werden, die mit einem Dielektrikum aufgefüllt werden. Die Tiefe der Gräben wird derart eingestellt, dass sie der Waferdicke nach dem Dünnungsprozess entspricht. Zur
15 Isolation der einzelnen Baulemente können ein oder mehrere Gräben verwendet werden.

In einer besonderen Ausführungsform des erfindungsgemäßen Verfahrens werden das erste Leistungsbaulement, das wenigstens eine laterale, aktive
20 Baulement und/oder das zumindest eine zweite vertikale Leistungsbaulement annähernd ring- und/oder scheibenförmig ausgebildet. Vorzugsweise wird das laterale, aktive Baulement scheibenförmig ausgebildet und derart
25 auf der Vorderseite angeordnet, dass es vollumfänglich von dem Graben in dem ersten Leistungsbaulement umgeben ist.

Auf diese Weise wird eine konzentrische Anordnung der jeweiligen Funktionselemente verwirklicht, wobei
30 die innere Fläche des Halbleiterbaulements lateral aktive Baulemente enthält und die Leistungsbaulemente

- 7 -

nach außen hin in Ringen um das lateral aktive Bauelement herum angeordnet werden.

In einer Weiterbildung des erfindungsgemäßen
5 Verfahrens ist vorgesehen, dass nach dem Dünnen und vor
der Kontaktierung des wenigstens einen Leistungs-
bauelements ein Dielektrikum auf der Rückseite des
Substrats abgeschieden wird. Das Dielektrikum dient
10 der vollständigen elektrischen Entkopplung des
Wafersubstrates. Um eine rückseitige Kontaktierung der
Leistungsbauelemente zu Gewähr leisten, wird das
Dielektrikum in einem nachfolgenden Verfahrensschritt
an den entsprechenden Stellen für eine Rückseiten-
Metallisierung geöffnet.

15

Auf der Vorderseite des Silizium-Substrates wird
vorzugsweise wenigstens ein Graben, der zumindest eine
Teilfläche der Vorderseite vollumfänglich umschließt,
in die Oberfläche hineingeätzt. Die Tiefe des
20 wenigstens einen Grabens wird derart eingestellt, dass
sie der Waferdicke nach dem Dünnungsprozess entspricht.
Als Auffüllung der Gräben sind aus Gründen der
lateralen Feldverteilung auch Kombinationen aus einem
Dielektrikum mit dotiertem Polysilizium denkbar.

25

In einer weiteren, besonders geeigneten
Ausführungsform des erfindungsgemäßen Verfahrens werden
auf einem Silizium-Substrat eine Vielzahl vertikaler
Leistungsbauelemente sowie lateraler, aktiver
30 Bauelemente derart angeordnet, dass sie kon- oder
exzentrisch um einen gemeinsamen Bezugspunkt auf dem
Substrat angeordnet werden und jeweils durch einen

Graben, der nach dem vorgenannten Verfahren hergestellt wurde, voneinander isoliert werden.

- Die Kontaktierung des einen oder der mehreren
- 5 Leistungsbaulemente erfolgt vorzugsweise mit den Schritten:
- Herstellen von Öffnungen in dem Dielektrikum zur Kontaktierung des wenigstens einen Leistungsbau-
 - 10 elementes von der Rückseite her sowie
 - Aufbringen einer Metallisierung auf die Rückseite.
- In einer speziellen Weiterbildung wird die aufgebrachte Metallisierung strukturiert.

- Eine weitere, besonders geeignete Ausführungsform
- 15 sieht vor, das wenigstens eine laterale, aktive Bauelement in einer dotierten Wanne anzuordnen. Auf diese Weise wird sichergestellt, dass die lateralen, aktiven Bauelemente an der Waferoberfläche potenzial-
- 20 mäßig von der spannungsführenden Waferrückseite entkoppelt sind. Vorzugsweise wird das zumindest eine laterale, aktive Bauelement hierzu in einer p-dotierten Wanne angeordnet.

- Besonders geeignet ist es weiterhin, das
- 25 wenigstens eine laterale, aktive Bauelement in Bipolar-, CMOS-, NMOS- und/oder PMOS-Technologie in dem Halbleiterbauelement zu integrieren.

- Das erfindungsgemäße Halbleiterbauelement, weist
- 30 wenigstens ein erstes vertikales Leistungsbaulement sowie wenigstens ein laterales, aktives Bauelement und/oder zumindest ein zweites vertikales Leistungsbaulement auf, zwischen denen wenigstens ein mit einer

Isolierung gefüllter Graben angeordnet ist. Das beschriebene Halbleiterbauelement zeichnet sich dadurch aus, dass die Isolierung wenigstens teilweise ein Dielektrikum aufweist und dass das wenigstens eine vertikale Leistungsbauelement und das wenigstens eine laterale, aktive Bauelement annähernd ring- und/oder scheibenförmig ausgebildet und kon- oder exzentrisch um einen gemeinsamen Bezugspunkt auf einem Silizium-Substrat angeordnet sind.

10

Das vorgenannte Halbleiterbauelement ermöglicht auf Grund der erfindungsgemäßen Ausführungen die Integration mehrerer vertikaler Leistungsbauelemente sowie lateraler, aktiver Bauelemente auf einem Bauelement. Wesentlicher Vorteil des erfindungsgemäßen Halbleiterbauelementes ist es außerdem, dass vertikal und lateral, aktive Bauelemente besonders platzsparend auf einem Bauelement angeordnet werden.

20

Vorzugsweise kommen im erfindungsgemäßen Halbleiterbauelement Leistungsbauelemente für Spannungen von bis zu 1700 V zum Einsatz. Je nach eingesetztem Leistungsbauelement variieren die Spannungsklassen zwischen 600 und 1700 V. Daher ist es sowohl möglich, als Leistungsbauelement Power-MOS-Bauelemente in einer Spannungsklasse von 100 bis 200V, IGBTs in einer Spannungsklasse von bis zu 1700 V, vorzugsweise von 600 bis 1200V, oder Dioden einzusetzen.

30

Um im Sperrfall hohe Feldstärken am Aktivgebiet zu vermeiden, benötigen die vorgenannten Leistungsbau-elemente in jedem Fall eine Randabschlussstruktur. So beträgt bei Bauelementen für Spannungen bis 1200 V die

Länge dieser Randabschlüsse beispielsweise bis zu 600 μm . Würden Bauelemente in konventioneller Bauweise auf einem Wafer nebeneinander platziert und durch eine konventionell ausgeführte Trenchisolation voneinander
5 getrennt, wäre für jedes einzelne Bauelement ein Randabschluss vorzusehen, über den die Metallisierung zu führen wäre. Im Gegensatz hierzu wird durch die erfindungsgemäße, vorzugsweise konzentrische Anordnung der jeweiligen auf einem Halbleiterbauelement zu
10 integrierenden Funktionselemente der für die zuvor beschriebenen Randabschlusssstrukturen benötigte Platz stark minimiert. Darüber hinaus wird durch diese, besonders geeignete Anordnung der Funktionsbauelemente der Aufwand bei der Kontaktierung erheblich verringert.

15

In einer besonderen Ausführungsform werden die Leistungsbauelemente nach außen hin ringförmig angeordnet. Vorzugsweise ist hierbei das wenigstens eine laterale, aktive Bauelement vollumfänglich von
20 zumindest einem gefüllten Graben und einem vertikalen Leistungsbauelement umgeben.

Um darüber hinaus sicherzustellen, dass die lateral, aktiven Bauelemente an der Waferoberfläche
25 potenzialmäßig auch von der spannungsführenden Waferrückseite entkoppelt sind, sieht eine weitere, besondere Ausführungsform vor, das wenigstens eine laterale, aktive Bauelement in einer dotierten Wanne anzuordnen.

30

Weiterhin ist es von besonderem Vorteil, auf der Rückseite des Halbleiterbauelementes ein Dielektrikum vorzusehen, so dass eine vollständige elektrische

Entkopplung auch nach dem Dünnen der Wafersubstrate Gewähr leistet wird. Zur rückseitigen Kontaktierung der Leistungsbaulemente sieht das Dielektrikum vorzugsweise entsprechende Öffnungen vor.

5

Das erfindungsgemäße Verfahren zur Herstellung eines Halbleiterbauelementes sowie das Halbleiterbauelement sollen im weiteren unter Bezugnahme auf die im Folgenden beschriebenen Figuren ohne Beschränkung des allgemeinen Erfindungsgedankens näher erläutert werden.

10

Kurze Beschreibung der Erfindung

Die Erfindung wird nachstehend ohne Beschränkung des allgemeinen Erfindungsgedankens anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnungen exemplarisch beschrieben. Es zeigen:

15

Fig. 1 Prozessschritte zur elektrischen Isolation der Bauelemente auf einem Wafer,

20

Fig. 2 eine konzentrische Anordnung der Funktionselemente gemäß der vorliegenden Erfindung, und

25

Fig. 3 die Entkopplung des Logikbereichs bei der vorliegenden Erfindung.

In Fig. 1 sind die Prozessschritte zur elektrischen Isolation der Bauelemente auf einem Wafer dargestellt. Die elektrische Isolation der verschiedenen Bauelemente wird dadurch erreicht, dass zuerst Gräben 2 in das Silizium-Substrat 1 geätzt

30

- 12 -

werden. In einem zweiten Prozessschritt erfolgt die Auffüllung der Gräben 2 mit einem Dielektrikum oder einer Kombination aus einem Dielektrikum mit Polysilizium als Isolationsschicht 4. Abschließend erfolgt das Dünnen des Silizium-Substrates 1 von der Rückseite her bis an die Grabensohle 3 des in das Silizium-Substrates 1 geätzten Grabens 2. Auf diese Weise wird die in die Gräben 2 eingefüllte Isolationsschicht 4 von der Rückseite her freigelegt. Die Tiefe der Gräben 2 wird derart eingestellt, dass sie der Waferdicke nach dem Dünnungsprozess entspricht.

In Fig. 2 ist dagegen ein erfindungsgemäß ausgeführtes Halbleiterbauelement dargestellt. Die jeweiligen Funktionselemente 5,6 sind konzentrisch und getrennt durch Trenchisolationen 4 auf einem Substrat angeordnet. Wahlweise könnten die Funktionselemente 5,6 auch exzentrisch angeordnet werden. Die innere Fläche des Chips enthält laterale, aktive Bauelemente 6, wie bspw. in Bipolar-, CMOS-, NMOS oder PMOS-Technologie ausgeführte Bauelemente. Die Leistungsbaulemente 5, wie etwa IGBTs und/oder Dioden sind ringförmig um das laterale, aktive Bauelement 6 angeordnet. Selbstverständlich ist es möglich, sowohl Leistungsbaulemente 5 und/oder ein laterales, aktives Bauelement 6 in derartigen Ringen um ein zentral angeordnetes und scheibenförmig ausgeführtes Funktionselement anzuordnen.

Die Fig. 3 zeigt eine Schnittansicht durch ein erfindungsgemäßes Halbleiterbauelement. Auf dem Halbleiterbauelement ist ein IGBT 9, eine Diode 10 sowie ein laterales, aktives Bauelement 6 angeordnet,

die jeweils durch eine Trenchisolation 4 elektrisch isolierend voneinander getrennt sind. Auf der Vorderseite ist eine Vielzahl von Vorderseitenkontakten 11, in Form von Lötbumps vorgesehen. Das laterale, aktive Bauelement 6 ist ferner in eine Dotierungswanne 12, die als tiefe p-Dotierung ausgeführt ist, eingelassen. Auf diese Weise ist das laterale, aktive Bauelement 6, das sich an der Waferoberfläche befindet, potenzialmäßig von der spannungsführenden Waferrückseite entkoppelt.

Auftretende Felder werden über die Raumladungszone der Dotierungswanne 12 aufgenommen. Zur vollständigen elektrischen Entkopplung wird nach dem Dünnen der Wafersubstrate auf der Rückseite ein Dielektrikum 13 aufgebracht. Wie in Fig. 3b zu sehen ist, wird das Dielektrikum 13 zur rückseitigen Kontaktierung der Leistungsbauelemente 6 an den entsprechenden Stellen für die Rückseitenmetallisierung 8, die abschließend auf der Rückseite des Halbleiterbauelementes aufgebracht wird, geöffnet.

Bezugszeichenliste

	1	Si-Substrat
5	2	Graben
	3	Grabensohle
	4	Isolationsschicht
	5	Leistungsbauelement
	6	Laterales, aktives Bauelement
10	7	Randabschlussstruktur
	8	Metallisierung
	9	IGBT
	10	Diode
	11	Vorderseitenkontakt
15	12	Dotierungswanne
	13	Dielektrikum
	14	p+ Implant
	15	n+ Implant

Patentansprüche

1. Verfahren zur Herstellung eines Halbleiterbauelements, das über ein erstes vertikales Leistungselement (5, 9) sowie wenigstens ein laterales, aktives Bauelement (6) und/oder zumindest ein zweites vertikales Leistungselement (10) verfügt mit den Schritten:
- Bereitstellen eines eine Vorder- und eine Rückseite aufweisenden Si-Substrates (1),
 - 10 - Ätzen wenigstens eines Grabens (2), der zumindest eine Teilfläche der Vorderseite vollumfänglich umschließt, in das Si-Substrat (1),
 - Auffüllen des wenigstens einen Grabens (2) mit einer Isolierung (4), die zumindest ein Dielektrikum enthält oder ein Dielektrikum ist,
 - 15 - Durchführen von Prozessschritten auf der Vorderseite des Si-Substrates (1) zum Herstellen eines ersten vertikalen Leistungselementes (5, 9) sowie wenigstens eines lateralen, aktiven Bauelements (6) und/oder zumindest eines zweiten vertikalen Leistungselementes (10), so dass sowohl das erste Leistungselement (5, 9) als auch das
 - 20 - wenigstens eine laterale aktive Bauelement (6) und/oder zumindest ein zweites vertikales Leistungselement (10) kon- oder exzentrisch um einen gemeinsamen Bezugspunkt und jeweils durch den wenigstens einen Graben (2) von
 - 25

- 16 -

- einander getrennt auf dem Substrat (1)
angeordnet werden,
- Ganzflächiges Dünnen des Si-Substrates (1) von
der Rückseite her bis an die Isolierung (4),
 - 5 - Kontaktierung der Leistungsbaulemente (5, 9,
10) von der Rückseite her.
2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet,
- 10 dass das erste Leistungsbaulement (5, 9), das
wenigstens eine laterale, aktive Bauelement (6)
und/oder das zumindest eine zweite vertikale
Leistungsbaulement (10) annähernd ring- und/oder
scheibenförmig ausgebildet werden.
- 15 3. Verfahren nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
dass das laterale, aktive Bauelement (6) scheiben-
förmig ausgebildet und derart auf der Vorderseite
20 angeordnet wird, dass es vollumfänglich von dem
Graben (2) und dem ersten vertikalen Leistungs-
baulement (5, 9) umgeben wird.
4. Verfahren nach einem der Ansprüche 1 bis 3,
25 dadurch gekennzeichnet,
dass nach dem Dünnen und vor der Kontaktierung des
wenigstens einen Leistungsbaulements (5, 9) ein
Dielektrikum auf der Rückseite des Substrates (1)
abgeschieden wird.
- 30 5. Verfahren nach Anspruch 4,
gekennzeichnet durch die Kontaktierung des
Leistungsbaulements (5, 9) mit den Schritten:

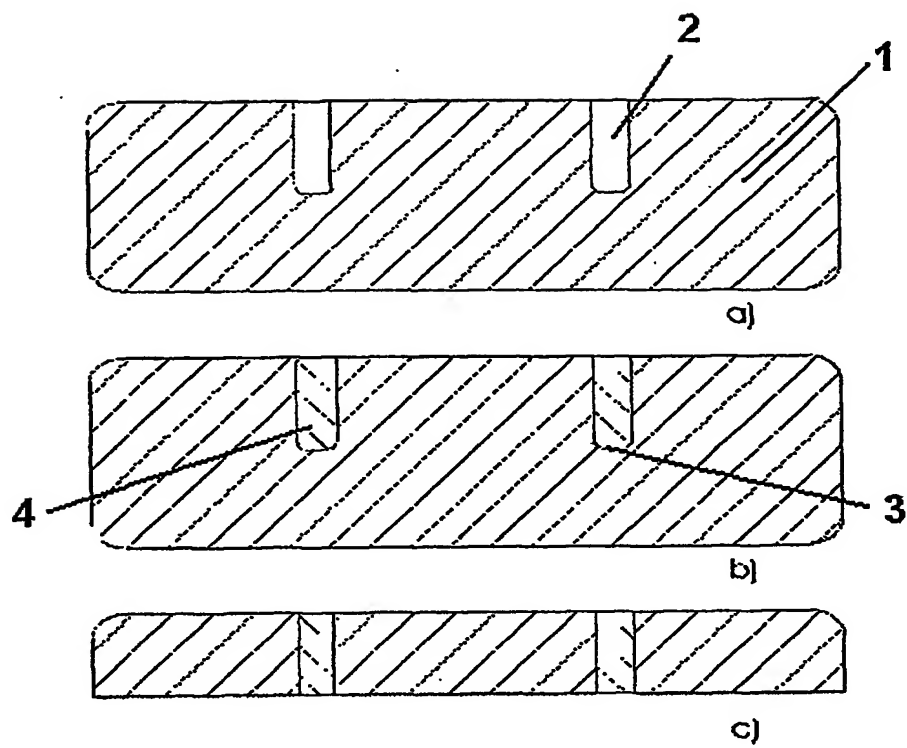
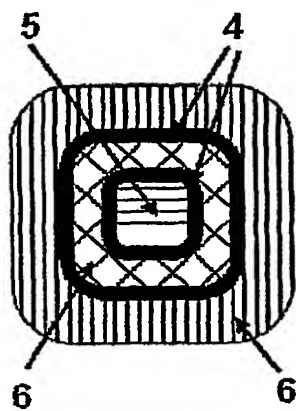
- 17 -

- Herstellen von Öffnungen in dem Dielektrikum zur Kontaktierung des wenigstens einen Leistungsbauelements (5, 9) von der Rückseite her sowie
- 5 - Aufbringen einer Metallisierung (8) auf die Rückseite.
- 6. Verfahren nach Anspruch 5, dadurch gekennzeichnet,
- 10 dass die Metallisierung (8) strukturiert wird.
- 7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet,
- 15 dass das wenigstens eine laterale, aktive Bauelement (6) in einer dotierten Wanne angeordnet wird.
- 8. Verfahren nach Anspruch 7, dadurch gekennzeichnet,
- 20 dass das zumindest eine laterale, aktive Bauelement (6) in einer p-dotierten Wanne angeordnet wird.
- 9. Verfahren nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet,
- 25 dass das wenigstens eine laterale, aktive Bauelement (6) in Bipolar, CMOS, NMOS und oder PMOS-Technologie in dem Halbleiterbauelement integriert wird.
- 30 10. Halbleiterbauelement, das wenigstens ein erstes vertikales Leistungsbauelement (5, 9) sowie wenigstens ein laterales, aktives Bauelement (6)

- und/oder zumindest ein zweites vertikales Leistungsbauelement (10) aufweist, zwischen denen wenigstens ein mit einer Isolierung (4) gefüllter Graben (2) angeordnet ist,
- 5 dadurch gekennzeichnet,
dass die Isolierung (4) wenigstens teilweise ein Dielektrikum aufweist und dass das wenigstens eine vertikale Leistungsbauelement (5, 9) und das wenigstens eine laterale, aktive Bauelement (6)
- 10 annähernd ring- und/oder scheibenförmig ausgebildet und ex- oder konzentrisch um einen gemeinsamen Bezugspunkt auf einem Si-Substrat (1) angeordnet sind.
- 15 11. Halbleiterbauelement nach Anspruch 10,
dadurch gekennzeichnet,
dass das wenigstens eine Leistungsbauelement (5, 9) ein IGBT, ein PMOS und/oder eine Diode ist.
- 20 12. Halbleiterbauelement nach Anspruch 10 oder 11,
dadurch gekennzeichnet,
dass das wenigstens eine Leistungsbauelement (5, 9) für Spannungen von bis zu 1700 V geeignet ist.
- 25 13. Halbleiterbauelement nach einem der Ansprüche 10 bis 12,
dadurch gekennzeichnet,
dass die Isolierung (4) aus einer Kombination aus isolierenden, halbleitenden und/oder leitenden
- 30 Materialien besteht.
14. Halbleiterbauelement nach einem der Ansprüche 10 bis 13,

dadurch gekennzeichnet, dass die Isolierung (4) aus einer Kombination aus einem Dielektrikum und Poly-Si besteht.

- 5 15. Halbleiterbauelement nach einem der Ansprüche 10
bis 14,
dadurch gekennzeichnet,
dass erste vertikale Leistungsbauelement (5, 9)
und/oder das wenigstens eine laterale, aktive
10 Bauelement (6) vollumfänglich von zumindest einem
gefüllten Graben (2) und/oder dem zumindest einen
zweiten vertikalen Leistungsbauelement (10)
umgeben ist.
- 15 16. Halbleiterbauelement nach einem der Ansprüche 10
bis 15,
dadurch gekennzeichnet,
dass das wenigstens eine laterale, aktive
Bauelement (6) in einer dotierten Wanne angeordnet
20 ist.
17. Halbleiterbauelement nach einem der Ansprüche 10
bis 16,
dadurch gekennzeichnet,
25 dass auf der Rückseite des Halbleiterbauelements
ein Dielektrikum aufgebracht ist.
18. Halbleiterbauelement nach Anspruch 17,
dadurch gekennzeichnet, dass das Dielektrikum
30 Öffnungen aufweist, durch die die Leistungs-
bauelemente (5, 9, 10) kontaktierbar sind.

**Fig. 1****Fig. 2**

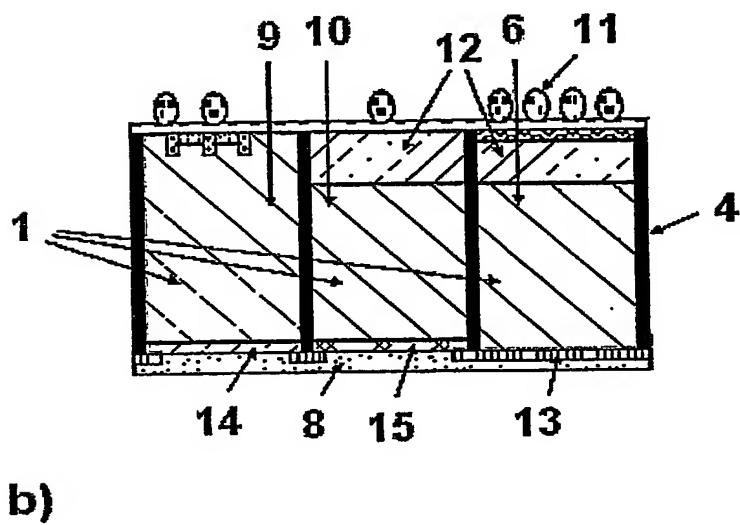
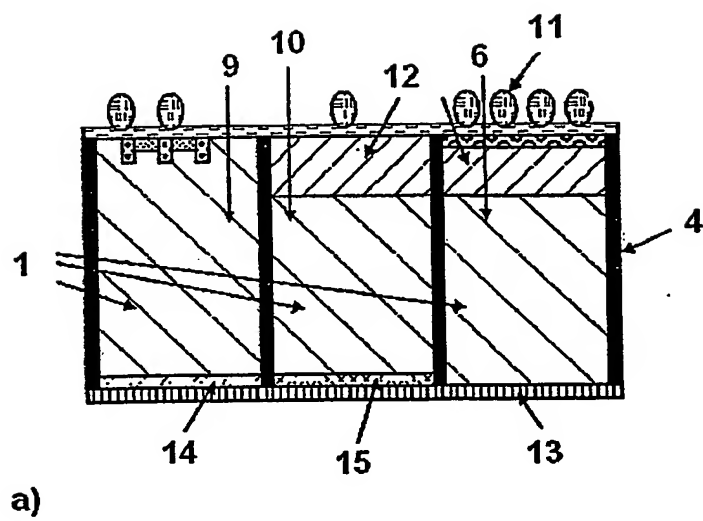


Fig. 3